

Practitioner's Docket No.: 040021-0307487
Client Reference No.: OPP 031483 US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re application of: YOUNG HUN SEO Confirmation No:

Application No.: 10/748,045 Group No.:

Filed: December 31, 2003 Examiner:

For: FABRICATING METHOD OF THIN FILM CAPACITOR

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2003-0006351	01/30/2003

Date: February 23, 2004
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909

A handwritten signature in black ink, appearing to read "Dale S. Lazar", written over a horizontal line.

Dale S. Lazar
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0006351
Application Number

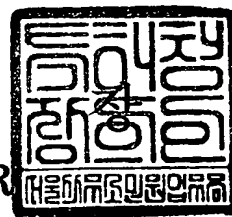
출원 년 월 일 : 2003년 01월 30일
Date of Application JAN 30, 2003

출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 11 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.01.30
【발명의 명칭】	박막 커패시터 제조 방법
【발명의 영문명칭】	Fabrication method of thin film capacitor
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	서영훈
【성명의 영문표기】	SEO, YOUNG HUN
【주민등록번호】	691112-1480811
【우편번호】	420-730
【주소】	경기도 부천시 원미구 은하마을 532동 104호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	11 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

금속/ 절연체/ 금속 (MIM) 구조의 박막 커패시터 제조방법에 관한 것으로, 그 목적은 커패시터의 정전용량을 그대로 유지하면서도 반도체 소자의 소형화를 가능하게 하는 것이다. 이를 위해 본 발명에서는, 반도체 기판의 구조물 상부에 형성된 층간절연막을 선택적으로 식각하여 소정간격 이격된 선형의 제1비아 및 제2비아를 형성하는 단계; 제1비아 및 제2비아의 내부를 제1금속물질로 매립하는 단계; 제1비아 및 제2비아 사이의 층간절연막을 소정두께 식각하여 커패시터구를 형성하는 단계; 커패시터구의 내벽에 유전체층을 형성하는 단계; 유전체층 상에 제2금속물질을 형성하여 커패시터구를 매립하는 단계를 포함하여 박막 커패시터를 제조한다.

【대표도】

도 2e

【색인어】

커패시터, 비아, 커패시터구

【명세서】**【발명의 명칭】**

박막 커패시터 제조 방법 {Fabrication method of thin film capacitor}

【도면의 간단한 설명】

도 1은 종래 박막 커패시터를 도시한 단면도이고,

도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 박막 커패시터 제조 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 금속/ 절연체/ 금속 (MIM) 구조의 박막 커패시터를 제조하는 방법에 관한 것이다.
- <4> 최근 고속 동작을 요구하는 아날로그 회로에서는 고용량의 커패시터를 구현하기 위한 반도체 소자 개발이 진행 중에 있다. 일반적으로, 커패시터가 다결정실리콘(polysilicon), 절연체(insulator), 및 다결정실리콘(polysilicon)이 적층된 PIP 구조일 경우에는 상부전극 및 하부전극을 도전성 다결정실리콘으로 사용하기 때문에 상,하부전극과 유전체 박막 계면에서 산화반응이 일어나 자연산화막이 형성되어 전체커패시턴스의 크기가 줄어들게 되는 단점이 있다.
- <5> 이를 해결하기 위해 커패시터의 구조를 금속/절연체/실리콘 (metal/insulator/silicon : MIS) 또는 금속/절연체/금속(metal/insulator/metal : MIM)으로 변경하게 되었는데, 그 중에서

도 MIM 구조의 커패시터는 비저항이 작고 내부에 공핍(depletion)에 의한 기생 커패시턴스가 없기 때문에 고성능 반도체 장치에 주로 이용되고 있다.

<6> 그러면, 종래 MIM 구조의 박막 커패시터를 제조하는 방법에 간략히 설명한다. 도 1은 종래 MIM 구조의 박막 커패시터가 도시된 단면도이다.

<7> 이러한 종래 MIM 구조의 박막 커패시터를 제조하기 위해서는 먼저, 반도체 기판(1)의 상부에 통상의 반도체 소자 공정을 진행하고 그 위에 하부절연막(2)을 형성한다.

<8> 다음, 하부절연막(2) 상에 하부금속배선(3), 유전체층(4), 및 상부금속배선 (5)을 차례로 형성한다.

<9> 여기서, 하부금속배선(3)은 MIM 커패시터에서 제1전극층에 해당되고, 상부금속배선(5)는 MIM 커패시터에서 제2전극층에 해당된다.

<10> 다음, 상부금속배선(5)을 선택적으로 식각하여 소정폭으로 남긴 후, 유전체층(4) 및 하부금속배선(3)을 선택적으로 식각하여 소정폭으로 남긴다.

<11> 상술한 바와 같은 종래 MIM 커패시터에서는 상부금속배선(5)의 면적에 따라서 정전용량이 결정된다.

<12> 그런데 점차 반도체 소자의 고집적화로 인해 소자 크기가 줄어들면서 상부금속배선의 면적이 작아지게 된다. 따라서 정전용량을 감소시키지 않고 그대로 유지하기 위해 유전체층의 두께를 감소시키거나 전체 면적을 줄이면서도 금속과 금속간의 접촉면적을 증가시키기 위한 여러 방법들이 모색되고 있으며, 이러한 방법들은 커플링 비(coupling ratio)를 증가시켜 정전용량을 확보함으로써 동작 속도를 개선하기 위함이다.

<13> 그러나 이러한 커패시팅 비를 증가시키기 위한 방법들로는 정전용량을 그대로 유지하면서도 상부금속배선의 면적을 줄이기에는 한계상황이 도달하였으므로, 새로운 방법이 절실히 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 커패시터의 정전용량을 그대로 유지하면서도 반도체 소자의 소형화를 가능하게 하는 것이다.

【발명의 구성 및 작용】

<15> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는, 반도체 기판의 구조물 상부에 형성된 층간절연막을 선택적으로 식각하여 소정간격 이격된 선형의 제1비아 및 제2비아를 형성하는 단계; 제1비아 및 제2비아의 내부를 제1금속물질로 매립하는 단계; 제1비아 및 제2비아 사이의 층간절연막을 소정두께 식각하여 커패시터구를 형성하는 단계; 커패시터구의 내벽에 유전체층을 형성하는 단계; 유전체층 상에 제2금속물질을 형성하여 커패시터구를 매립하는 단계를 포함하여 박막 커패시터를 제조한다.

<16> 이하, 본 발명에 따른 박막 커패시터 제조 방법에 대해 상세히 설명한다.

<17> 도 2a 내지 도 2e는 본 발명의 일 실시예에 따른 박막 커패시터 제조 방법을 도시한 단면도이다.

<18> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판의 상부에 통상의 반도체 소자 공정을 진행하여 개별 소자가 형성된 반도체 기판의 구조물(11)을 형성하고, 반도체 기판의 구조물(11) 상에 피에스지(PSG) 등의 산화막으로 이루어진 층간절연막 (12)을 형성한다.

- <19> 이어서, 층간절연막(12) 상에 감광막을 도포하고 노광 및 현상하여 비아로 예정된 영역에 위치하는 층간절연막(12)을 노출시키는 제1감광막 패턴(13)을 형성한다. 이 때 비아는 각각 소정폭을 가지고 서로 소정간격 이격된 두개의 선형으로 설계하며, 따라서 제1감광막 패턴(13)의 오프닝 부분은 소정간격 이격된 두개의 선형이 각각 소정폭을 가지고 있다.
- <20> 다음, 도 2b에 도시된 바와 같이, 제1감광막 패턴(13)을 마스크로 하여 노출된 층간절연막(12)을 식각하여 비아(100)를 형성한 후, 제1감광막 패턴(13)을 제거하고 세정공정을 수행한다. 형성된 비아(100)는 앞에서 언급한 바와 같이 각각 소정폭을 가지고 서로 소정간격 이격된 두 개의 선형이다.
- <21> 이어서, 비아(100)의 내부를 포함하여 층간절연막(12)의 상부 전면에 텅스텐(14)을 증착하여 비아(100)를 매립한 후, 층간절연막(12)이 노출될 때까지 화학기계적 연마하여 상면을 평탄화시킨다.
- <22> 다음, 도 2c에 도시된 바와 같이, 평탄화된 상면 상에 감광막을 도포하고 노광 및 현상하여 두 선형의 비아(100)에 매립된 텅스텐(14) 사이에 위치하는 층간절연막(12)을 노출시키는 제2감광막 패턴(15)을 형성한다.
- <23> 다음, 도 2d에 도시된 바와 같이, 제2감광막 패턴(15)을 마스크로 하여 노출된 층간절연막(12)을 소정두께 식각하여 커패시터구(200)을 형성한다. 이 때 커패시터구(200)의 측벽에 층간절연막(12)이 남아있고 완전히 식각하여 제거하도록 한다.
- <24> 커패시터구(200) 형성을 위한 층간절연막(12)의 식각 시, 최종 커패시터의 정전용량을 고려하여 식각두께를 조절할 수 있다.

- <25> 이어서, 커패시터구(200)의 내벽을 포함하여 텅스텐(14) 및 층간절연막(12)의 상부 전면
에 유전체층(16)을 얇게 증착한다.
- <26> 다음, 도 2e에 도시된 바와 같이, 유전체층(16) 상에 W, Ti, TiN 또는 Al과 같은 금속물
질(17)을 증착하여 커패시터구(200)를 매립한다. 이 때 금속물질(17)은 MIM 커패시터 구조에서
제2전극층에 해당한다.
- <27> 이와 같이 유전체층(16)은 커패시터구의 내벽에 형성되므로, 종래에 비해 제1전극층, 유
전체층, 및 제2전극층의 접촉면적이 넓다.

【발명의 효과】

- <28> 상술한 바와 같이, 본 발명에서는 층간절연막을 선택적으로 식각하여 제1전극층을 만들
고 그 사이에 커패시터구를 형성한 후, 커패시터구의 내벽에 유전체층을 형성하고 그 위에 커패
시터구를 매립하는 제2전극층을 형성하기 때문에, 제1전극층, 유전체층, 제2전극층의 접촉면
적을 증가시키고 이로 인해 커패시터의 정전용량을 증대하는 효과가 있다.
- <29> 따라서, 소형화된 반도체 소자에서 커패시터의 정전용량을 확보하는 효과가 있다.

【특허청구범위】

【청구항 1】

반도체 기판의 구조물 상부에 형성된 층간절연막을 선택적으로 식각하여 소정간격 이격된 선형의 제1비아 및 제2비아를 형성하는 단계;

상기 제1비아 및 제2비아의 내부를 제1금속물질로 매립하는 단계;

상기 제1비아 및 제2비아 사이의 층간절연막을 소정두께 식각하여 커패시터구를 형성하는 단계;

상기 커패시터구의 내벽에 유전체층을 형성하는 단계;

상기 유전체층 상에 제2금속물질을 형성하여 상기 커패시터구를 매립하는 단계;

를 포함하는 것을 특징으로 하는 박막 커패시터 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 제1비아 및 제2비아를 형성하는 단계에서는, 상기 층간절연막 상에 감광막을 도포하고 노광 및 현상하여 소정간격 이격된 선형의 제1비아 및 제2비아로 예정된 영역의 층간절연막을 노출시키는 감광막 패턴을 형성한 후, 상기 감광막 패턴을 마스크로 하여 노출된 층간절연막을 식각하여 상기 제1비아 및 제2비아를 형성하는 것을 특징으로 하는 박막 커패시터 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 제1비아 및 제2비아의 내부를 금속물질로 매립하는 단계에서는, 상기 제1비아 및 제2비아를 포함하여 층간절연막의 상부 전면에 텅스텐을 증착하여 제1비아 및 제2비아를 매립한 후, 층간절연막이 노출될 때까지 화학기계적 연마하여 평탄화하는 것을 특징으로 하는 박막 커패시터 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 유전체층을 형성할 때에는, 상기 커패시터구의 내벽을 포함하여 상기 제1금속물질 및 층간절연막의 상부 전면에 유전체층을 형성하고, 상기 유전체층 상에 제2금속물질을 형성하여 상기 커패시터구를 매립한 다음, 상기 층간절연막 및 제1금속물질이 노출될 때까지 화학기계적 연마하는 것을 특징으로 하는 박막 커패시터 제조 방법.

【청구항 5】

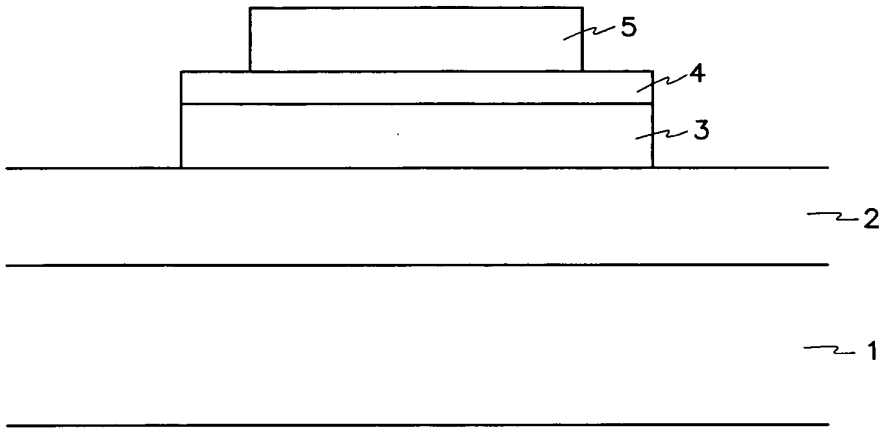
제 1 항 내지 제 4 항 중의 어느 한 항에 있어서,

상기 제2금속물질을 형성할 때에는, W, Ti, TiN 및 Al로 이루어진 군에서 선택된 한 물질을 형성하는 것을 특징으로 하는 박막 커패시터 제조 방법.

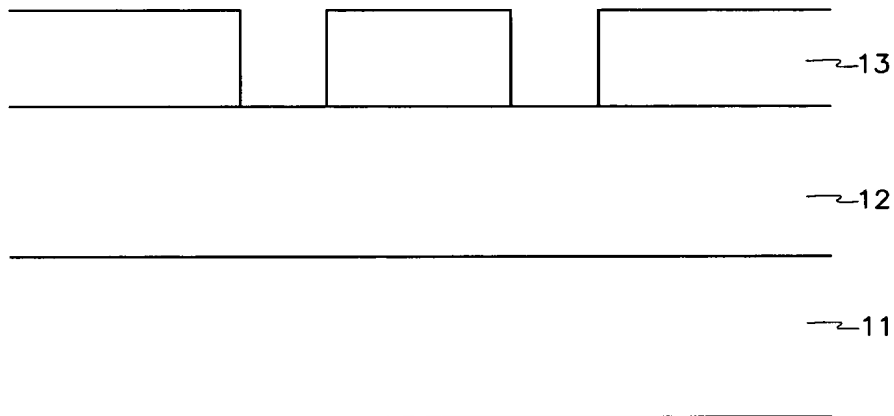


【도면】

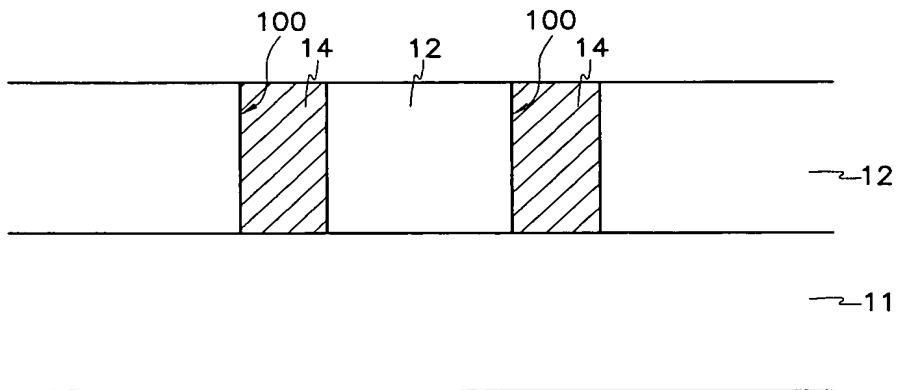
【도 1】



【도 2a】



【도 2b】

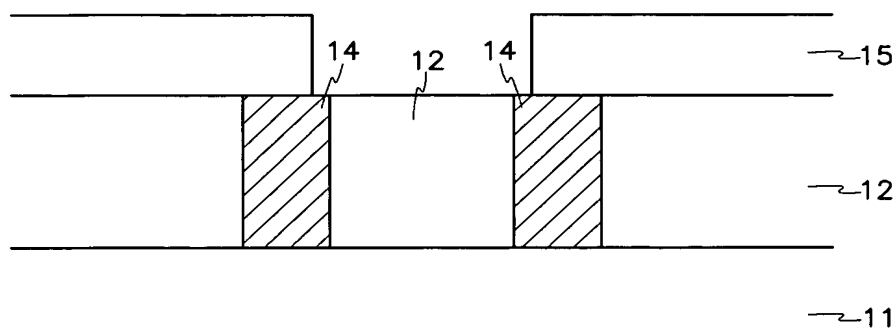




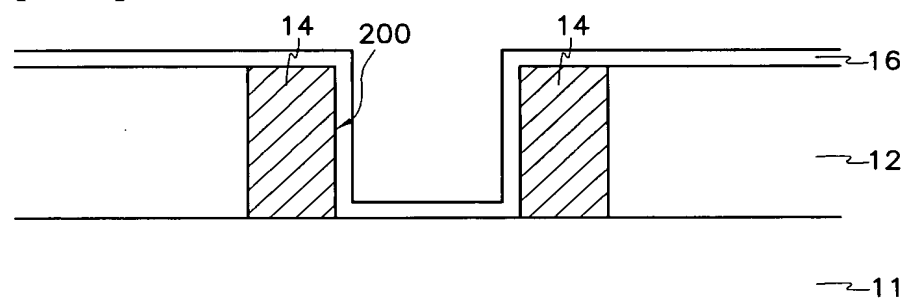
1020030006351

출력 일자: 2003/11/13

【도 2c】



【도 2d】



【도 2e】

